

RS
2

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : **Fumio NAKANO et al.**

Filed : **Concurrently herewith**

For : **CLOCK-RIDE OVER METHOD AND CIRCUIT**

Serial No. : **Concurrently herewith**

JC825 U.S. PTO
09/709203
11/09/00

November 9, 2000

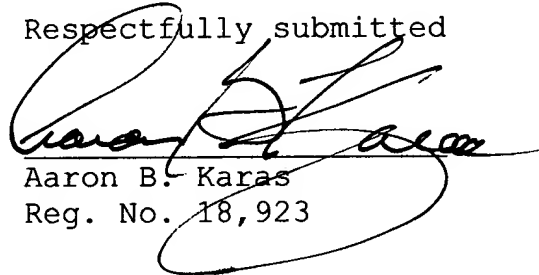
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.
11-321355 of November 11, 1999 whose priority has been claimed
in the present application.

Respectfully submitted



Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:NEK017.961
LHH:priority

Filed Via Express Mail

Rec. No.: EL522396114US

On: November 9, 2000

By: Lydia Gonzalez

Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

加藤 US

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC925 U.S. PTO
CA/MANANA

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年11月11日

出 願 番 号
Application Number:

平成11年特許願第321355号

出 願 人
Applicant (s):

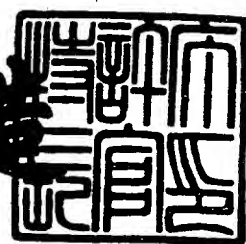
日本電気株式会社
日本電気エンジニアリング株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 71110392

【提出日】 平成11年11月11日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 中野 文雄

【発明者】

【住所又は居所】 東京都港区芝浦三丁目 1 8 番 2 1 号 日本電気エンジニアリング株式会社内

【氏名】 藤田 仁

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 000232047

【氏名又は名称】 日本電気エンジニアリング株式会社

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9001713
【包括委任状番号】 9002315
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック乗換回路及びその方法

【特許請求の範囲】

【請求項 1】 第 1 のクロック信号に同期した入力デジタル信号を第 2 のクロック信号に同期したデジタル信号に変換して、変換結果を出力デジタル信号として出力するクロック乗換回路において、

前記入力デジタル信号の位相を前記第 1 のクロック信号の位相に合わせ、前記第 1 のクロック信号と位相が合った前記入力デジタル信号を出力する第 1 の同期回路と、

前記第 1 のクロック信号と位相が合った前記入力デジタル信号又は前記出力デジタル信号を前記第 1 のクロック信号と同一周波数の選択信号の値に応じて選択して、選択されたデジタル信号を中間デジタル信号として出力する選択器と、

前記中間デジタル信号を前記第 2 のクロック信号に同期させて、前記第 2 のクロック信号に同期した前記中間信号を前記出力デジタル信号として出力する第 2 の同期回路と、

前記第 1 のクロック信号と前記第 2 のクロック信号を基に前記選択信号を生成するタイミング制御回路と、

を備えることを特徴とするクロック乗換回路。

【請求項 2】 請求項 1 に記載のクロック乗換回路において、前記タイミング制御回路は、

前記第 1 のクロック信号の位相を検出して、検出結果を検出信号として出力するクロック検出部と、

前記第 2 のクロック信号をクロック信号として利用して、前記選択信号を出力する自走カウンタと、

前記検出信号の位相を前記選択信号の位相と比較して、両者の位相差が許容値範囲外であるときに前記自走カウンタの位相をリセットする位相比較器と、

を備えることを特徴とするクロック乗換回路。

【請求項 3】 請求項 2 に記載のクロック乗換回路において、前記許容値範

囲は、前記第 1 のクロック信号が変化するタイミングから始まり前記第 2 のクロック信号の数周期にわたり、前記自走カウンタは、リセット後に前記選択信号を前記許容値範囲の後端部において出力することを特徴とするクロック乗換回路。

【請求項 4】 第 1 のクロック信号に同期した入力デジタル信号を第 2 のクロック信号に同期したデジタル信号に変換して、変換結果を出力デジタル信号として出力するクロック乗換方法において、

前記入力デジタル信号の位相を前記第 1 のクロック信号の位相に合わせ、前記第 1 のクロック信号と位相が合った前記入力デジタル信号を出力する第 1 のステップと、

前記第 1 のクロック信号と位相が合った前記入力デジタル信号又は前記出力デジタル信号を前記第 1 のクロック信号と同一周波数の選択信号の値に応じて選択して、選択されたデジタル信号を中間デジタル信号として出力する第 2 のステップと、

前記中間デジタル信号を前記第 2 のクロック信号に同期させて、前記第 2 のクロック信号に同期した前記中間信号を前記出力デジタル信号として出力する第 3 のステップと、

前記第 1 のクロック信号と前記第 2 のクロック信号を基に前記選択信号を生成する第 4 のステップと、

を有することを特徴とするクロック乗換方法。

【請求項 5】 請求項 4 に記載のクロック乗換方法において、前記第 4 のステップは、

前記第 1 のクロック信号の位相を検出して、検出結果を検出信号として出力するステップと、

前記第 2 のクロック信号をクロック信号として利用する自走カウンタにより前記選択信号を出力するステップと、

前記検出信号の位相を前記選択信号の位相と比較して、両者の位相差が許容値範囲外であるときに前記自走カウンタの位相をリセットするステップと、

を有することを特徴とするクロック乗換回路。

【請求項 6】 請求項 5 に記載のクロック乗換方法において、前記許容値範

図は、前記第 1 のクロック信号が変化するタイミングから始まり前記第 2 のクロック信号の数周期にわたり、前記自走カウンタは、リセット後に前記選択信号を前記許容値範囲の後端部において出力することを特徴とするクロック乗換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック乗換回路に関し、特にジッタを含むクロック間の乗換回路に関する。

【0002】

【従来の技術】

従来のクロック乗換回路として図 7 に示す特開平 4 - 9 6 5 3 5 号公報に記載の回路や、刊行物「VHDL によるハードウェア設計入門」（長谷川裕恭著）に記載されている図 9 の RAM を使用した FIFO が知られている。図 7 の回路の動作波形を図 8 に示し、図 9 の回路の動作波形を図 10 に示す。

【0003】

図 7 の回路は、書込みタイミング信号 WT (18) を JK フリップフロップ (24) の動作制御入力とし、直並列変換した入力データ (17) を奇レジスタ (27) と偶レジスタ (28) に分配して記憶させる。読出しレジスタ選択タイミング制御回路 (33) 内部では、上記 JK フリップフロップ (24) の出力を読出しクロック CLK_r (21) でシフトし、LEAD (34) と NORM (35) と LAG (36) の 3 種類の信号を生成する。LEAD (34) は進み位相を示し、NORM (35) は基準位相を示し、LAG (36) は遅れ位相を示す。位相検出回路 (26) 内では、電源投入時に書込みタイミング信号 WT (18) と読出しタイミング信号 RT (20) の位相が LEAD、NORM、LAG のどの位相関係になっているか判断し、D フリップフロップが判断した状態を保持し続ける。LEAD と NORM と LAG の変化点は、奇レジスタ (27) と偶レジスタ (28) の出力が安定した区間であるため、読出しタイミング信号 RT (20) で安定して奇レジスタあるいは偶レジスタの内容を読み出すことができる。

【 0 0 0 4 】

図 9 に示す F I F O は論理合成への適用例であるが、アーキテクチャは一般的な F I F O の例である。図 9 の例では、内部に R A M (4 5) を持ち、書込みカウンタ W P (4 3) と読出しカウンタ R P (4 4) により R A M (4 5) のアドレスを生成し、書込みと読出しを行う。図 9 の例では、R A M のステータス信号として F U L L (4 1) と E M P T Y (4 2) が出力されている。F U L L (4 1) と E M P T Y (4 2) により、オーバーフローとアンダーフローを防止している。図 9 では、クロックは 1 系統であるが書込みと読出しの 2 系統のクロックでも基本構成は同じである。

【 0 0 0 5 】

【発明が解決しようとする課題】

第 1 の問題点は、特開平 4 - 9 6 5 3 5 号公報の回路では、外部から書込みと読出しの制御信号が入力されなければ乗換タイミングの制御ができなくなる点である。

【 0 0 0 6 】

その理由は、乗換前のデータを全てクロック乗換しようとする、クロック乗換が全範囲となるため書込み制御信号と読出し制御信号の位相の接近が判断できず、よって乗換タイミングの制御ができなくなるからである。

【 0 0 0 7 】

第 2 の問題点は、乗換クロックの周波数が論理ゲート回路の動作限界付近であると、図 1 0 に示すようなメモリマクロ等で構成される F I F O を使用できないことである。

【 0 0 0 8 】

その理由は、メモリマクロは論理ゲート回路と比較すると動作周波数が低いからである。また、メモリマクロの書込み読出しアドレス制御も多段のカウンタ回路が必要となり、動作速度の向上が難しくなる。

【 0 0 0 9 】

本発明は、乗換前後のクロックがジッタを含み、かつ外部から書込みと読出しの制御入力信号がなくても、クロック乗換を行うことを可能とするクロック乗換

回路及びその方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明によるクロック乗換回路は、第1のクロック信号に同期した入力デジタル信号を第2のクロック信号に同期したデジタル信号に変換して、変換結果を出力デジタル信号として出力するクロック乗換回路において、前記入力デジタル信号の位相を前記第1のクロック信号の位相に合わせ、前記第1のクロック信号と位相が合った前記入力デジタル信号を出力する第1の同期回路と、前記第1のクロック信号と位相が合った前記入力デジタル信号又は前記出力デジタル信号を前記第1のクロック信号と同一周波数の選択信号の値に応じて選択して、選択されたデジタル信号を中間デジタル信号として出力する選択器と、前記中間デジタル信号を前記第2のクロック信号に同期させて、前記第2のクロック信号に同期した前記中間信号を前記出力デジタル信号として出力する第2の同期回路と、前記第1のクロック信号と前記第2のクロック信号を基に前記選択信号を生成するタイミング制御回路と、を備えることを特徴とする。

【0011】

また、本発明によるクロック乗換回路は、上記のクロック乗換回路において、前記タイミング制御回路は、前記第1のクロック信号の位相を検出して、検出結果を検出信号として出力するクロック検出部と、前記第2のクロック信号をクロック信号として利用して、前記選択信号を出力する自走カウンタと、前記検出信号の位相を前記選択信号の位相と比較して、両者の位相差が許容値範囲外であるときに前記自走カウンタの位相をリセットする位相比較器と、を備えることを特徴とする。

【0012】

更に、本発明によるクロック乗換回路は、上記のクロック乗換回路において、前記許容値範囲は、前記第1のクロック信号が変化するタイミングから始まり前記第2のクロック信号の数周期にわたり、前記自走カウンタは、リセット後に前記選択信号を前記許容値範囲の後端部において出力することを特徴とする。

【0013】

本発明によるクロック乗換方法は、第 1 のクロック信号に同期した入力デジタル信号を第 2 のクロック信号に同期したデジタル信号に変換して、変換結果を出力デジタル信号として出力するクロック乗換方法において、前記入力デジタル信号の位相を前記第 1 のクロック信号の位相に合わせ、前記第 1 のクロック信号と位相が合った前記入力デジタル信号を出力する第 1 のステップと、前記第 1 のクロック信号と位相が合った前記入力デジタル信号又は前記出力デジタル信号を前記第 1 のクロック信号と同一周波数の選択信号の値に応じて選択して、選択されたデジタル信号を中間デジタル信号として出力する第 2 のステップと、前記中間デジタル信号を前記第 2 のクロック信号に同期させて、前記第 2 のクロック信号に同期した前記中間信号を前記出力デジタル信号として出力する第 3 のステップと、前記第 1 のクロック信号と前記第 2 のクロック信号を基に前記選択信号を生成する第 4 のステップと、を有することを特徴とする。

【 0 0 1 4 】

また、本発明によるクロック乗換方法は、上記のクロック乗換方法において、前記第 4 のステップは、前記第 1 のクロック信号の位相を検出して、検出結果を検出信号として出力するステップと、前記第 2 のクロック信号をクロック信号として利用する自走カウンタにより前記選択信号を出力するステップと、前記検出信号の位相を前記選択信号の位相と比較して、両者の位相差が許容値範囲外であるときに前記自走カウンタの位相をリセットするステップと、を有することを特徴とする。

【 0 0 1 5 】

更に、本発明によるクロック乗換方法は、上記のクロック乗換方法において、前記許容値範囲は、前記第 1 のクロック信号が変化するタイミングから始まり前記第 2 のクロック信号の数周期にわたり、前記自走カウンタは、リセット後に前記選択信号を前記許容値範囲の後端部において出力することを特徴とする。

【 0 0 1 6 】

〔作用〕

本発明では、第 1 のクロックを第 2 の高速クロックで検出し、第 2 の高速クロックにより自走する自走カウンタの位相比較信号と比較する。位相比較信号はク

ロックジッタ幅以上の幅とすることでジッタを吸収し高速にクロック乗換をすることができる。

【0017】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の原理図であり、図2は本発明の実施例である。図3から図5は図2のタイムチャートである。

【0018】

まず、図1について説明する。入力IN(1)は、第1のクロックCLK_1(5)で動作する第1のDフリップフロップFF1(7)のD入力に接続される。

【0019】

選択器(9)の1系入力の前記第1のDフリップフロップFF1(7)の出力に接続され、0系入力は第2のクロックCLK_2(6)で動作する第2のDフリップフロップFF2(8)に接続され、制御入力は第2のクロックで動作する自走カウンタ出力に入力される。

【0020】

第2のDフリップフロップFF2(8)のD入力は選択器(9)の出力に接続される。

【0021】

第2のクロックCLK_2(6)で動作するクロック検出部(12)は第1のクロックCLK_1(5)に接続される。

【0022】

位相比較器(13)の第1の入力はクロック検出部(12)の出力COMP(10)に接続され、第2の入力は第2のクロックで動作する自走カウンタ(14)のタイミング出力TIM(4)に接続される。

【0023】

前記第2のDフリップフロップFF2(8)の出力(7)は、本発明のクロック乗換回路出力である。

【 0 0 2 4 】

本発明の特徴は、自走するリングカウンタ（14）の出力とクロック検出部（12）の位相比較と、比較方法及び比較結果による制御方法にある。

【 0 0 2 5 】

次に実施例を図2から図5に基づいて説明する。本発明の実施例として第2のクロックCLK__2（6）の周波数は、第1のクロックCLK__1（5）の6倍の周波数とする。

【 0 0 2 6 】

〔実施例1〕

まず図2について説明する。図1で説明したクロック検出部（12）は、微分回路と位相比較信号生成回路から構成し、位相比較器（13）は論理ゲート2個で構成し、自走カウンタ（14）をリングカウンタで構成した例である。

【 0 0 2 7 】

入力データIN（1）は、第1のクロックCLK__1（5）に同期して入力され、第1のDフリップフロップFF1（7）でリタイミングされる。第1のクロックCLK__1（5）は第2のクロックCLK__2（6）で微分され、これにより微分出力信号ΔCLK__1（16）が生成される。タイミング信号TIM（4）は自走するリングカウンタ（14）の出力で、第2のクロックCLK__2（6）の6クロック毎に1クロック幅で選択器（9）の入力を0系から1系に切り替える。

【 0 0 2 8 】

図3では、第2のクロックが位相補償範囲になり自走カウンタするリングカウンタ（14）をリセットして正常状態に復帰する例をについて説明する。例として位相補償範囲を第2のクロックCLK__2（6）に関し現時刻+1クロックか、現時刻-1クロックとする。図3の例では第2のクロックCLK__2（6）の9番目のクロックまで位相比較信号COMP（10）のHレベル後半とタイミング信号TIM（4）が一致しており、この時刻までは正常にクロック乗換をしている。第2のクロックCLK__2（6）の9番目のクロックまでは、位相比較信号COMP（10）のHレベルの前半が空いているので、現時刻より1クロック

進み位相までが位相補償範囲内である。自走するリングカウンタ（14）が出力するタイミング信号TIM（4）は第2のクロックCLK__2（6）で見たときに6クロック毎に1クロック幅でHレベルとなる。

【0029】

第2のクロックCLK__2（6）が10番目の次に1クロック遅延すると、自走するリングカウンタ（14）の出力TIM（4）が1クロック遅延する。位相比較信号COMP（10）は、微分信号ΔCLK__1により生成されるため、位相比較結果RES（11）が第1のクロックCLK__1（5）とタイミング信号TIM（4）間の位相の不一致を出力する。位相比較結果RES（11）によりリングカウンタ（14）をリセットすることにより、不一致の結果は直ちに自走するリングカウンタ（14）にフィードバックされ、微分出力ΔCLK__1（16）に追従してタイミング信号TIM（4）を補正する。

【0030】

図4では、現時刻-1クロックの進み位相について説明する。第2のクロックCLK__2（6）の10番目の動作まで図3と同じである。11番目の第2のクロックCLK__2（6）から13番目の第2のクロックCLK__2（6）クロックまでの間隔が詰まった例である。9番目の第2のクロックCLK__2（6）までは、タイミング信号TIM（4）は位相比較信号COMP（10）の後半のHレベルと比較されていたが、12番目の進み位相の第2のクロックCLK__2（6）によりタイミング信号TIM（4）は位相比較信号COMP（10）の前半のHレベルと比較されるようになる。この場合、タイミング信号CMP（10）と位相比較信号COMPを比較する時刻は変化するが、位相の進みは吸収される。

【0031】

図5では、位相比較信号COMPを3クロック幅にして、第2のクロックCLK__2の位相補償範囲を現時刻±1クロックとした例である。位相の遅延は図3と同じく10番目の次に発生しているが、位相の変動を吸収している。

【0032】

〔実施例2〕

図 6 に第 2 の実施例を示す。第 2 の実施例では、第 1 の D フリップフロップ F F 1 (7) と選択器 (9) と第 2 の D フリップフロップ F F 2 (8) が複数個で構成され、第 1 の実施例から微分回路を削除し、自走カウンタ (1 4) をリングカウンタからバイナリカウンタに変更した。本実施例では複数ビットの入力データを一度にクロック乗換を可能にする。位相比較回路の前段の微分回路がなくても、位相比較回路をシフトレジスタ等で構成することにより容易に位相比較信号 C O M P (1 0) を生成することができる。自走カウンタ (1 4) については、リングカウンタまたはジョンソンカウンタが動作速度的に有利であるが、バイナリカウンタ或いは他のカウンタまたはステートマシンで構成しても良い。リングカウンタやジョンソンカウンタについては、スタックを防ぐためにブービートラップを設けることは必須である。

【 0 0 3 3 】

【発明の効果】

以上説明したように本発明によれば以下の効果が奏される。

【 0 0 3 4 】

第 1 の効果は、外部から書込み読出しの制御信号が入力されなくてもクロック乗換ができることである。

【 0 0 3 5 】

その理由は、乗換前のクロックを乗換後のクロックで検出するからである。

【 0 0 3 6 】

第 2 の効果は、読出しクロックにジッタを含んでいても、安定してクロック乗換できることである。

【 0 0 3 7 】

その理由は、乗換前のクロックをその整数倍の周波数の乗換後のクロックで検出し、乗換クロックに含まれるジッタ周期以上のパルス幅を持つ位相比較信号 C O M P を生成し、位相比較信号 C O M P と、乗換後のクロックで自走し乗り換え前のクロックの周期で 1 クロックパルス幅を発生するタイミング信号 T I M とを位相比較し、位相比較結果によりタイミング信号 T I M をリセットしてジッタによるタイミングエラーを回避させているからである。

【図面の簡単な説明】

【図 1】

本発明の実施形態によるクロック乗換回路の構成を示すブロック図である。

【図 2】

本発明の実施例 1 によるクロック乗換回路の構成を示すブロック図である。

【図 3】

図 2 に示す本発明の実施例 1 によるクロック乗換回路の位相遅れが発生した場合の動作を示すタイムチャートである。

【図 4】

図 2 に示す本発明の実施例 1 によるクロック乗換回路の位相進みが発生した場合の動作を示す別のタイムチャートである。

【図 5】

図 2 に示す本発明の実施例 1 によるクロック乗換回路の位相変動吸収範囲を拡大した場合の動作を示すタイムチャートである。

【図 6】

本発明の実施例 2 によるクロック乗換回路の構成を示すブロック図である。

【図 7】

従来例によるクロック乗換回路の構成を示す回路図である。

【図 8】

図 7 のタイムチャートである。

【図 9】

別の従来例によるクロック乗換回路の構成を示す回路図である。

【図 10】

図 9 のタイムチャートである。

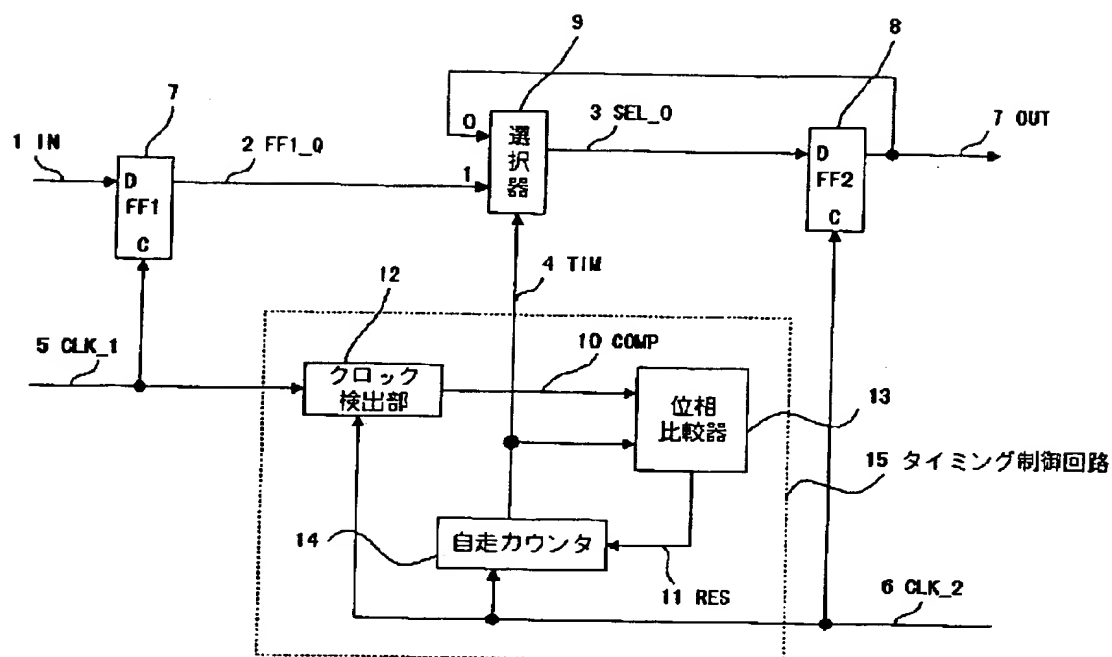
【符号の説明】

1 …入力データ、2 …FF 1 の出力、3 …選択器出力、4 …タイミング信号、5 …第 1 のクロック、6 …第 2 のクロック、7 …第 1 の D フリップフロップ、8 …選択器、9 …第 2 の D フリップフロップ、10 …位相比較信号、11 …位相比較結果信号、12 …クロック検出部、13 …位相比較器、14 …自走カウンタ、1

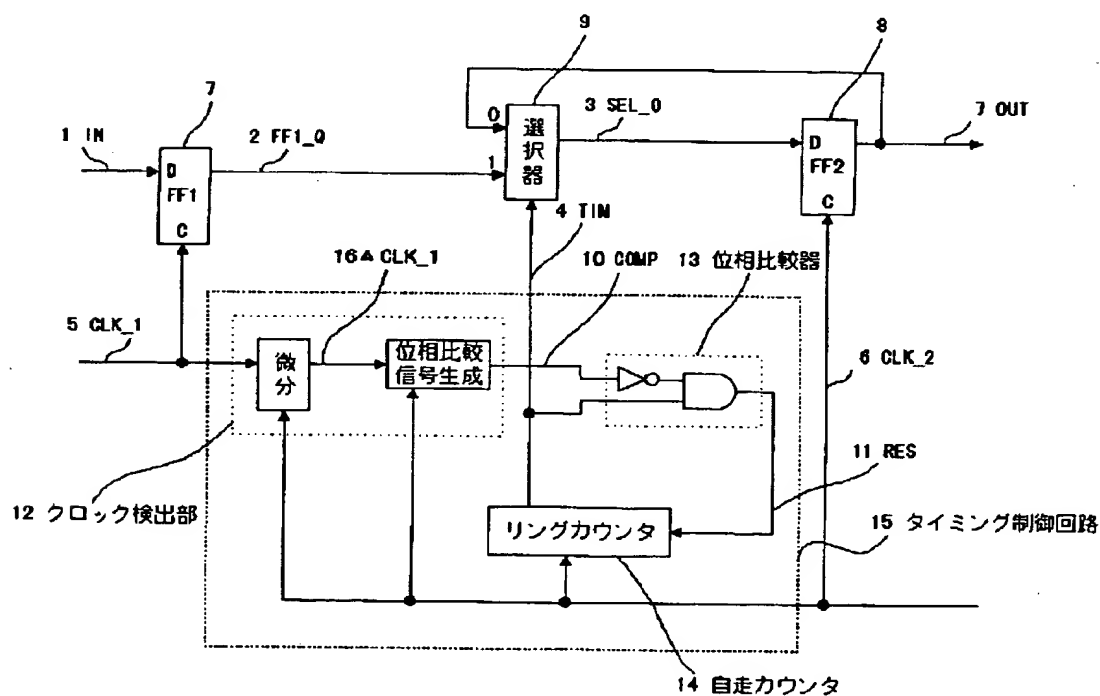
5 … タイミング制御回路、1 6 … 微分出力信号、1 7 … 入力データ、1 8 … 書込みタイミング信号、1 9 … 書込みクロック信号、2 0 … 読出しタイミング信号、2 1 … 読出しクロック信号、2 2 … 湯津力データ、2 3 … 直並列変換回路、2 4 … J K フリップフロップ、2 5 … シフトレジスタ、2 6 … 位相検出回路、2 7 … 奇レジスタ、2 8 … 偶レジスタ、2 9 … セレクタ 1、3 0 … 平直列変換回路、3 1 … 読出しレジスタ選択信号、3 2 … セレクタ 2、3 3 … 読出しレジスタ選択タイミング制御回路、3 4 … 進み位相出力信号、3 5 … 基準位相出力信号、3 6 … 遅れ位相出力信号、3 7 … 入力データ、3 8 … 書込み信号、3 9 … 読出し信号、4 0 … 出力データ、4 1 … F U L L 信号、4 2 … E M P T Y 信号、4 3 … 書込みカウンタ、4 4 … 読出しカウンタ、4 5 … R A M、4 6 … セレクタ、4 7 … F U L L 検出部、4 8 … E M P T Y 検出部

【書類名】 図面

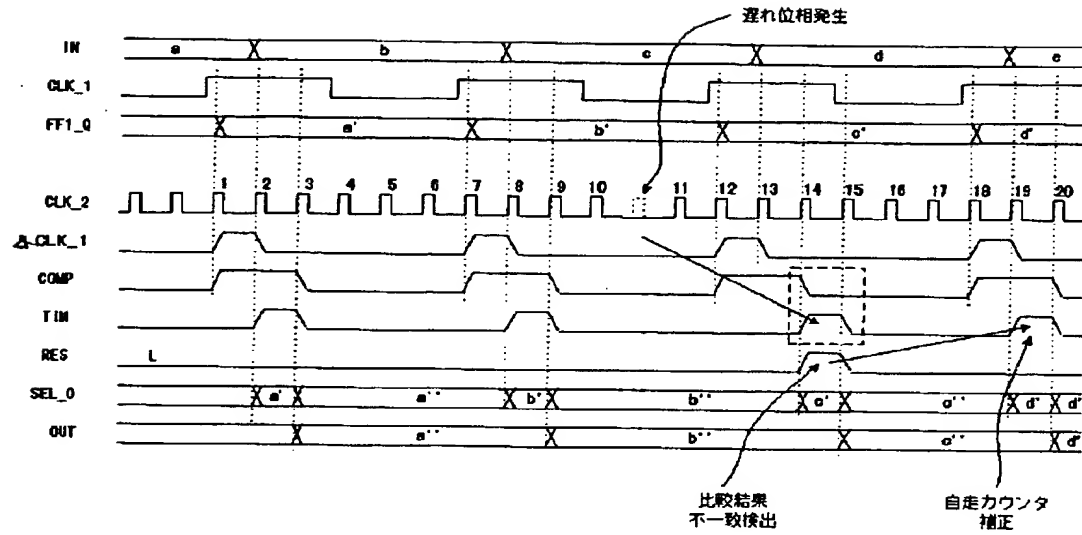
【図 1】



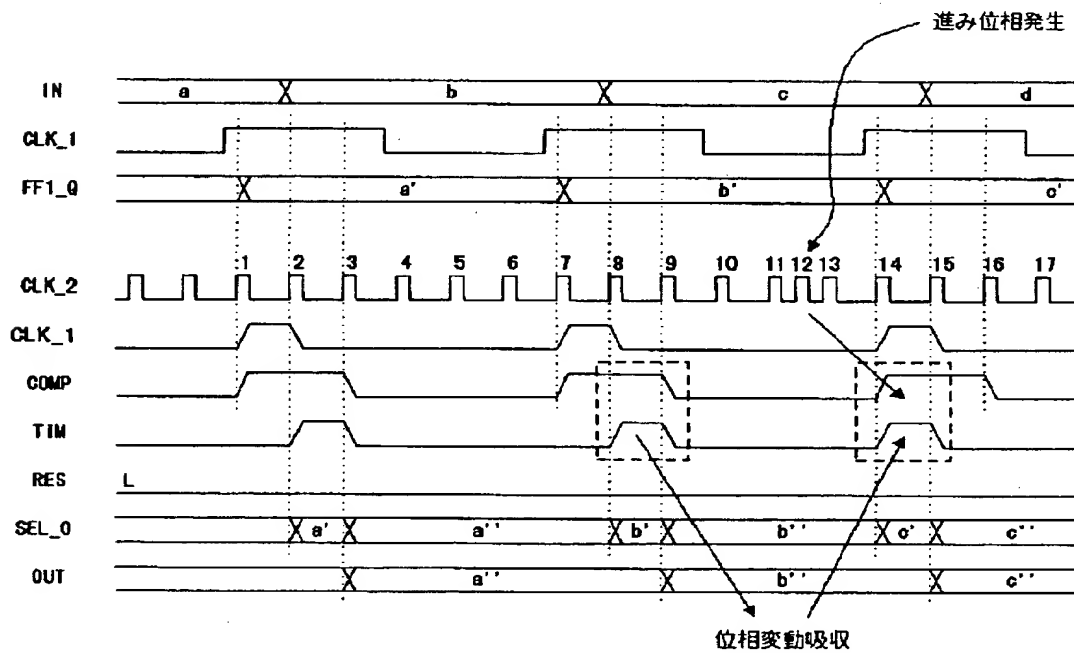
【図 2】



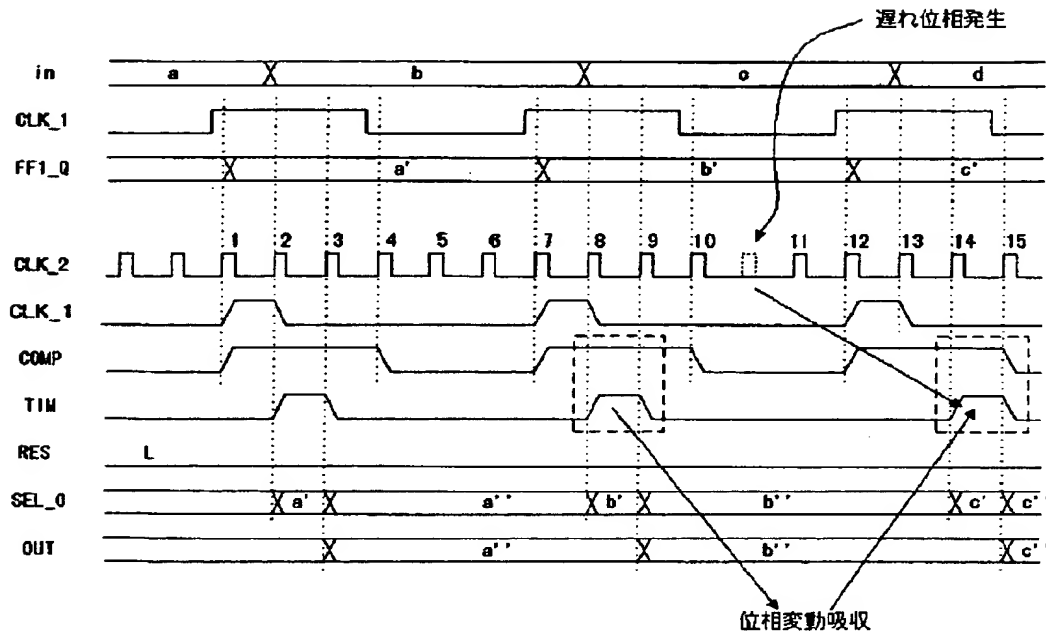
【図 3】



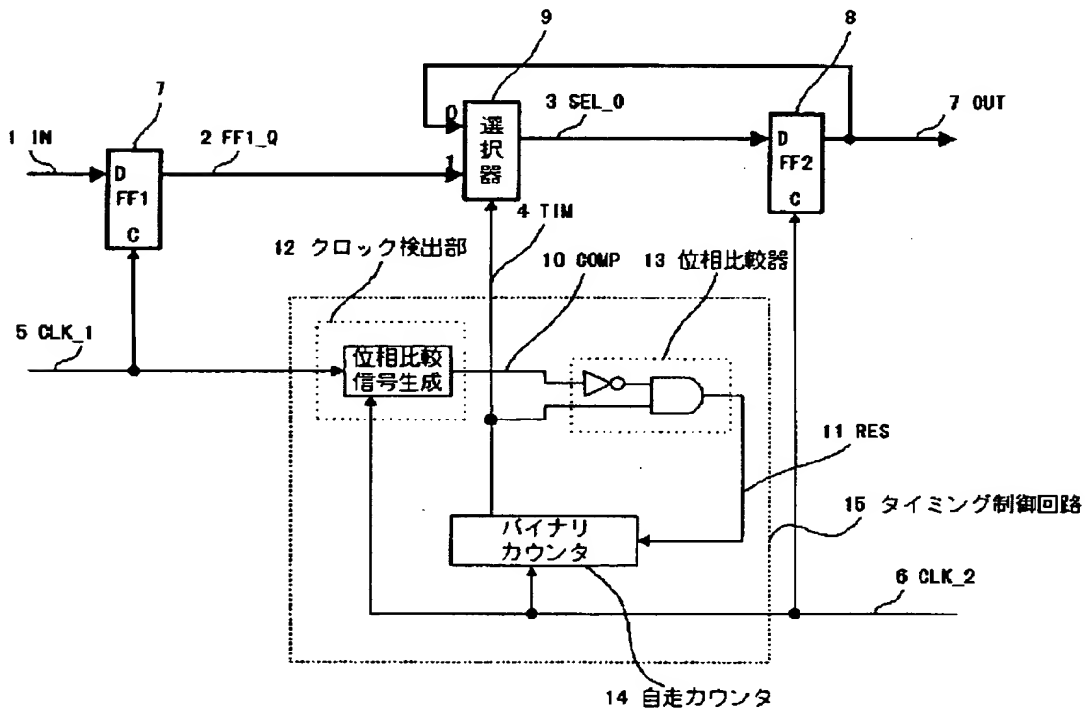
【図 4】



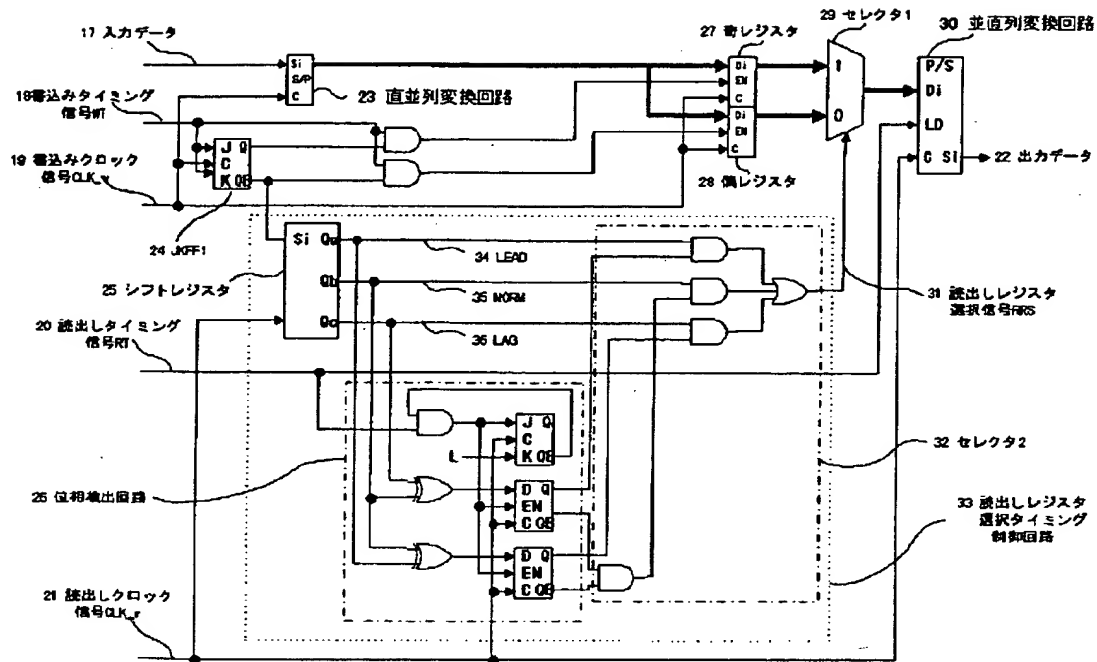
【図 5】



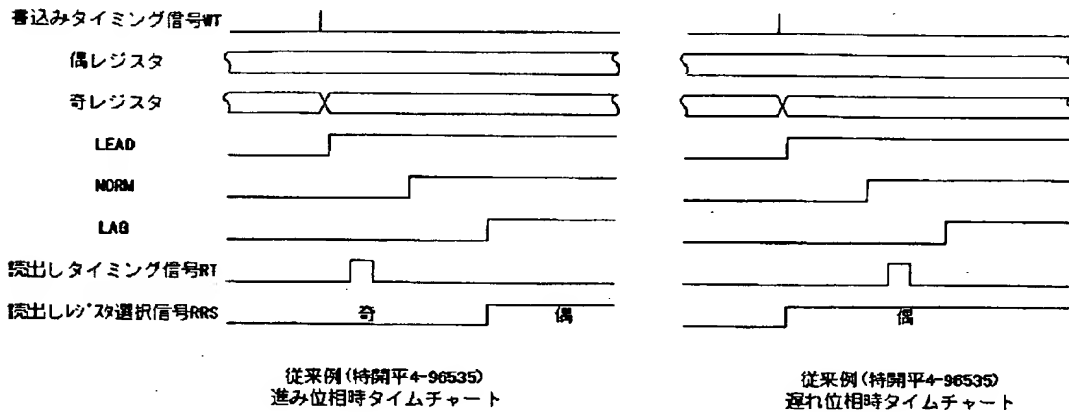
【図 6】



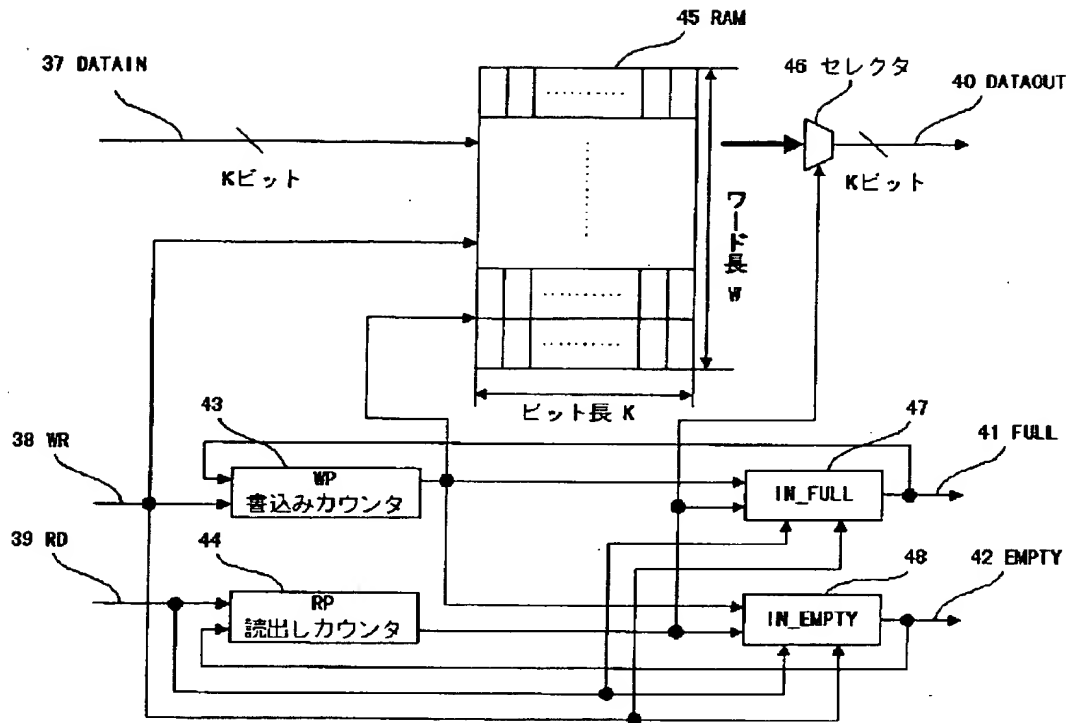
【図 7】



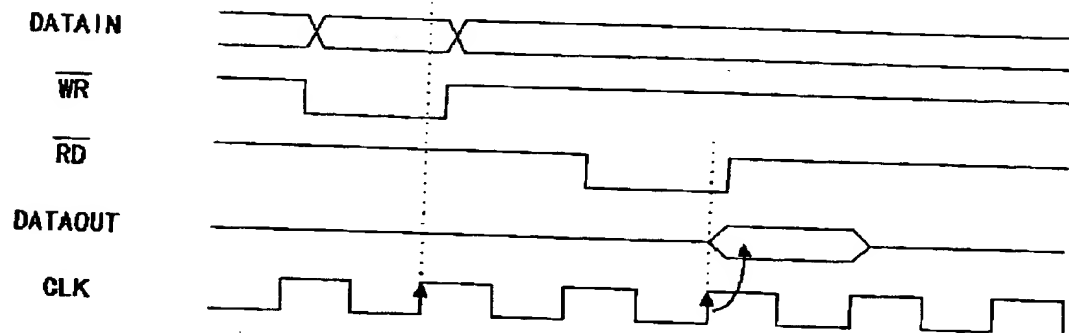
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 クロック乗換回路において、乗換前後のクロックにジッタを含み、かつ外部から書込みと読出しの制御入力信号がなくても、クロック乗換を行う。

【解決手段】 乗換前のクロックCLK₁を乗換前より高速な乗換後のクロックCLK₂で検出し、乗換後のクロックで自走するカウンタから発生する一定周期のタイミング信号TIMと前記クロック検出結果である位相比較信号COMPと比較させる。位相比較信号COMPは、乗換後のクロックのジッタ周期以上のパルス幅にすることにより安定してクロック乗換を行うことができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 3 2 0 4 7]

1. 変更年月日	1 9 9 7 年 6 月 5 日
[変更理由]	住所変更
住 所	東京都港区芝浦三丁目 1 8 番 2 1 号
氏 名	日本電気エンジニアリング株式会社